

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020054678 A
(43)Date of publication of application: 08.07.2002

(21)Application number: 1020000083843

(22)Date of filing: 28.12.2000

(71)Applicant:

HYNIX SEMICONDUCTOR INC.

(72)Inventor:

HWANG, CHANG YEON
KIM, SANG IK

(51)Int. Cl

H01L 27/108

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:



PURPOSE: A fabrication method of semiconductor devices is provided to prevent a BPSG(Boron Phosphor Silicate Glass) of a cell region from being etched, by protruding plugs through an entire surface etching.

CONSTITUTION: Plugs(41) are formed by planarizing the second polycrystalline silicon layer, deposited on a semiconductor substrate (31) having a defined structure enough to fill first contact holes, using a BPSG(39) as an etch ending point. Then, the plugs(41) are protruded by selectively etching the BPSG(39) and the third photoresist(43) is then deposited on the resultant structure. At this time, the adhesive force between plugs(41) and the third photoresist(43) is increased by performing a thermal treatment, an E-beam processing, or an ultra-violet light processing on the third photoresist(43). After forming the third photoresist pattern, the BPSG(39) of a peripheral region is etched using the third photoresist pattern as a mask. At this time, the plugs(41) prevent an etchant penetration into the BPSG(39) of a cell region, thereby restraining a void.

© KIPO 2003

Legal Status

공개특허 제2002-54678호(2002.07.08) 1부.

[첨부그림 1]

특 2002-0054678

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 27/108	(11) 공개번호 (43) 공개일자	특 2002-0054678 2002년 07월 08일
(21) 출원번호 (22) 출원일자	10-2000-0083843 2000년 12월 28일	
(71) 출원인	주식회사 하이닉스반도체 박종섭	
(72) 발명자	경기 이천시 부발읍 아미리 산 136-1 황창연 경기도미천시사읍동564-7 김상익 경기도성남시분당구구미동77번지까치마을대우아파트101-903 이훈동, 이정훈	
(74) 대리인	이훈동, 이정훈	

심사청구 있음

(54) 반도체 소자의 제조 방법

요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 BPSG(Boron Phosphor Silicate Glass)층의 선택적인 전면 식각으로 플러그층을 노출시킨 후, 상기 주변 영역의 BPSG층 제거 공정을 진행하므로, 상기 플러그층의 노출로 상기 플러그층과 감광막과의 접촉 면적이 증가되고 또한 상기 노출된 플러그층이 식각 정액으로써의 역할을 하여, 상기 주변 영역의 BPSG층 제거 공정시 발생되는 셀(Cell) 영역의 BPSG층 식각 현상을 방지하여 보이드(Void) 발생을 억제하므로 비트 라인(Bit Line)간 단락 발생을 방지하는 등 소자의 수율 및 신뢰성을 향상시키는 특징이 있다.

도면

도 3a

발명자

도면의 간단한 설명

- 도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도
도 2는 종래의 셀 영역에 보이드가 발생되는 것을 나타낸 사진도
도 3a 내지 도 3d는 본 발명의 실시 예에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도
도 4는 본 발명의 주변 영역의 BPSG층 식각 공정시 셀 영역을 나타낸 사진도
도 5는 본 발명의 셀 영역을 나타낸 사진도

<도면의 주요 부분에 대한 부호의 설명>

- 11, 31 : 반도체 기판 13, 33 : 소자분리막
15, 35 : 워드 라인 17, 37 : 제 1 절화막
18, 38 : 제 2 절화막 19, 39 : BPSG층
21, 41 : 플러그층 23, 43 : 제 3 감광막
25 : 보이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 BPSG(Boron Phosphor Silicate Glass)층의 선택적인 전면 식각으로 플러그(Pug)층을 노출시킨 후, 상기 주변 영역의 BPSG층 제거 공정을 진행하여 소자의 수율 및 신뢰성을 향상시키는 반도체 소자의 제조 방법에 관한 것이다.

반도체 소자는 매년 집적도의 증가 추세에 보이며 있는데, 이러한 집적도의 증가는 소자 각각의 구성 요

소:면적 및 크기의 감소를 수반하게 되어 여러 가지 공정상의 제약이 있다.

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도이고, 도 2는 종래의 셀 영역에 보이드가 발생되는 것을 나타낸 사진도이다.

종래의 반도체 소자의 제조 방법은 도 1a에서와 같이, 소자분리 영역에 소자분리막(13)이 형성되며 셀(Cell) 영역과 주변 영역이 정의된 반도체 기판(11)상에 제 1 산화막, 제 1 다결정 실리콘층, 하드 마스크(Hard mask)층인 제 1 절화막(17) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인(Word line)이 형성될 부위에만 남도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 절화막(17), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(11)상에 게이트 절연막을 개재한 워드 라인(15)을 형성한 후, 상기 제 1 감광막을 제거한다.

그리고, 전면에 식각 방지막인 제 2 절화막(18)을 형성한 후, 상기 제 2 절화막(18)상에 순간 절연막인 BPSG(Boron Phosphor Silicate Glass)층(19)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이어, 상기 제 2 감광막을 비트 라인(Bit line) 콘택이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한 다음, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 BPSG층(19)을 선택 식각한 후, 상기 제 2 감광막을 제거한다.

그리고, 상기 BPSG층(19)을 마스크로 상기 제 2 절화막(18)을 에치백(Etch-back)하여 제 1 콘택홀을 형성하고, 상기 노출된 워드 라인(15) 일측의 반도체 기판(11) 상에 제 2 절화막 스페이서(18a)를 형성한다.

그 후, 상기 제 1 콘택홀을 포함한 전면에 제 2 다결정 실리콘층을 형성한 후, 상기 BPSG층(19)을 식각 중립점으로 화학 기계 연마 방법에 의해 상기 제 2 다결정 실리콘층을 평탄 식각하여 플러그홀(21)을 형성한다.

도 1b에서와 같이, 상기 BPSG층(19)상에 제 3 감광막(23)을 도포한다.

그리고, 상기 제 3 감광막(23)을 셀 영역에만 남도록 선택적으로 노광 및 현상한다.

도 1c에서와 같이, 상기 선택적으로 노광 및 현상된 제 3 감광막(23)을 마스크로 상기 주변 영역의 BPSG층(19)을 습식 식각하여 제거한다.

여기서, 상기 BPSG층(19)과 제 3 감광막(23)과의 접촉 불량 발생으로 주변 영역의 BPSG층 제거 공정시, 상기 제 3 감광막(23)을 (11)과 식각 용액이 셀 영역의 BPSG층(19)에도 침투하므로 상기 BPSG층(19)의 측면 식각이 발생되어 도 2에서와 같이, 보이드(Void)(25)가 발생된다.

그리고, 후속 공정으로 상기 제 3 감광막(23)을 제거한다.

본 발명이 이루고자 하는 기술적 과제

종래의 반도체 소자의 제조 방법은 다음과 같은 이유에 의해 소자의 수율 및 신뢰성이 저하되는 문제점이 있었다.

첫째, BPSG층과 감광막과의 접촉 불량 발생으로 주변 영역의 BPSG층 제거 공정시, 상기 감광막을 따라 상기 BPSG층의 측면 식각이 발생되어 식각 용액이 셀 영역의 BPSG층에도 침투하므로 보이드가 발생되어 후속 공정 중 화학 기계 연마 공정에서 슬러리(Slurry)가 상기 보이드에 끼어 파티클(Particle)이 다량 발생되고 또한 비트 라인 형성 공정에서 상기 보이드를 따라 상기 비트 라인 형성 물질이 남게 되어 상기 비트 라인간 단락이 발생된다.

둘째, 첫째 문제를 해결하기 위해, 상기 BPSG층상에 HDP(High Density Plasma) 산화막을 형성하나 상기 BPSG층의 측면 식각을 방지하지 못한다.

셋째, 첫째 문제를 해결하기 위해, 상기 BPSG층상에 절화막을 형성하나 상기 절화막 제거 공정이 어렵다.

본 발명은 상기한 문제점을 해결하기 위해 안출한 것으로 BPSG층의 선택적인 전면 식각으로 플러그홀을 형성시킨 후, 상기 주변 영역의 BPSG층 제거 공정을 진행하여 셀 영역의 BPSG층 식각 현상을 방지하는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

본 발명의 반도체 소자의 제조 방법은 셀 영역과 주변 영역이 정의된 기판상에 다수개의 워드 라인을 형성하는 단계, 전면에 식각 방지막을 형성하는 단계, 상기 식각 방지막상에 비트 라인 콘택홀을 구비한 층간 절연막을 형성하는 단계, 상기 콘택홀을 매립하는 플러그홀을 형성하는 단계, 상기 층간 절연막을 선택적으로 전면 식각하여 상기 셀 영역의 층간 절연막 식각 보호를 위해, 상기 플러그홀을 돌출시키는 단계 및 상기 주변 영역의 층간 절연막을 습식 식각하여 제거하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기와 같은 본 발명에 따른 반도체 소자의 제조 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 도 3a에서와 같이, 소자분리 영역에 소자분리막(33)이 형성되며 셀 영역과 주변 영역이 정의된 반도체 기판(31)상에 제 1 산화막, 제 1 다결정 실리콘층, 하드 마스크층인 제 1 절화막(37) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인이 형성될 부위에만 남도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 절화막(37), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(31)상에 게이트 절연막을 개재한 워드 라인(35)을 형성한 후,

상기 제 1 감광막을 제거한다.

그리고, 전면에 식각 방지막인 제 2 절화막(39)을 형성한 후, 상기 절화막(37)상에 용간 절연막인 BPS8을 (39)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이때, 상기 제 2 감광막을 비트 라인 콘택이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한다. 다음, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 BPS8을(39)을 선택 식각한 후, 상기 제 2 감광막을 제거한다.

그리고, 상기 BPS8을(39)을 마스크로, 상기 제 2 절화막(39)을 에치백하여 제 1 콘택홀을 형성하고, 상기 노출된 워드 라인(35) 밑측의 반도체 기판(31) 상에 제 2 절화막 스페이서(38a)를 형성한다.

그 후, 상기 제 1 콘택홀을 포함한 전면에 제 2 다결정 실리콘층을 형성한 후, 상기 BPS8을(39)을 식각 중립점으로 화학 기계 연마 방법에 의해 상기 제 2 다결정 실리콘층을 평탄 식각하여 플러그홀(41)을 형성한다.

도 30에서와 같이, 상기 BPS8을(39)을 선택적으로 전면 식각하여 상기 플러그홀(41)을 노출시킨다.

여기서, 상기 BPS8을(39)을 건식 식각 방법 또는 습식 식각 방법으로 전면 식각할 수 있으나, 건식 식각 방법으로 식각할 경우 다음과 같다.

상기 BPS8을(39)을 CF_4 , CF_3 , CF_2 , CF , 또는 CF 의 다량의 폴리머(Polymer)를 유발하는 과탄소 함유 가스의 제 1 식각 가스를 사용하는 건식 식각 방법으로 식각한다.

또는, 상기 BPS8을(39)을 CHF_3 , CHF_2 , CHF , CH_2F , CH_2 , CH , CH_4 또는 H_2 의 주소를 포함하는 가스인 제 2 식각 가스를 사용하는 건식 식각 방법으로 식각한다.

또는, 상기 BPS8을(39)을 불활성 가스를 혼합한 제 3 식각 가스를 사용하는 건식 식각 방법으로 식각하거나, 상기 제 1, 제 2, 제 3 식각 가스를 혼합한 가스를 사용하는 건식 식각 방법으로 식각한다.

도 30에서와 같이, 상기 노출된 플러그홀(41)을 포함하여 전면 제 3 감광막(43)을 도포한다.

그리고, 상기 플러그홀(41)과 제 3 감광막(43)과의 접착력을 증가 시키기 위하여 상기 제 3 감광막(43)을 열처리, E-빔(Beam) 처리 또는 울트라-바이올렛 라이트(Ultra-Violet Light) 처리를 진행한다.

이때, 상기 제 3 감광막(43)을 셀 영역에만 남도록 선택적으로 노광 및 현상한다.

도 30에서와 같이, 상기 선택적으로 노광 및 현상된 제 3 감광막(43)을 마스크로 상기 주변 영역의 BPS8을(39)을 HF , NH_4F 또는 혼합 용액, HF , HF , HF , NH_4F 또는 혼합 용액, HF , NH_4F 또는 혼합 용액 또는 HNO_3 , CH_3COOH , HF 혼합 용액을 사용한 습식 식각 공정으로 식각한다.

그리고, 후속 공정으로 상기 제 3 감광막(43)을 제거한다.

여기서, 상기 BPS8을(39)의 습식 식각 공정시, 상기 플러그홀(41)의 노출로 상기 플러그홀(41)과 제 3 감광막(43)과의 접착력이 증가되고 또한 상기 노출된 플러그홀(41)이 식각 장벽으로써의 역할을 하여, 상기 제 3 감광막(43)을 따라 식각 용액이 셀 영역의 BPS8을(39)에 침투되는 것을 방지하므로 도 49, 도 50에서와 같이, 셀 영역에 보이드가 발생되지 않는다.

방법의 효과

본 발명의 반도체 소자의 제조 방법은 BPS8을의 선택적인 전면 식각으로 플러그홀을 노출시킨 후, 상기 주변 영역의 BPS8을 제거 공정을 진행하므로, 상기 플러그홀의 노출로 상기 플러그홀과 감광막과의 접착력이 증가되고 또한 상기 노출된 플러그홀이 식각 장벽으로써의 역할을 하여, 상기 주변 영역의 BPS8을 제거 공정시 발생하는 셀 영역의 BPS8을 식각 현상을 방지하여 보이드 발생을 억제하므로 비트 라인간 단락 발생을 방지하는 등 소자의 수율 및 신뢰성을 향상시키는 효과가 있다.

(5) 청구의 범위

청구항 1

셀 영역과 주변 영역이 정의된 기판상에 다수개의 워드 라인을 형성하는 단계;

전면에 식각 방지막을 형성하는 단계;

상기 식각 방지막상에 비트 라인 콘택홀을 구비한 용간 절연막을 형성하는 단계;

상기 콘택홀을 매립하는 플러그홀을 형성하는 단계;

상기 용간 절연막을 선택적으로 전면 식각하여, 상기 셀 영역의 용간 절연막 상기 플러그홀을 노출시키는 단계;

상기 주변 영역의 용간 절연막을 습식 식각하여 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 용간 절연막을 BPS8으로 형성함을 특징으로 하는 반도체 소자의 제조 방법.

형구함 3

제 2 항에 있어서,

상기 BPSG층을 CF_4 , C_2F_4 , C_2F_6 , CF_3I , 또는 C_2F_4 의 다량의 플리머를 유발하는 과탄소 함유 가스를 사용하는 건식 식각 방법으로 전면 식각함을 특징으로 하는 반도체 소자의 제조 방법.

형구함 4

제 2 항에 있어서,

상기 BPSG층을 CHF_3 , CHF_2 , CHF_2I , CHF_2Br , CH_3 , CH_4 , C_2H_6 또는 H_2 의 수소를 포함하는 가스를 사용하는 건식 식각 방법으로 전면 식각함을 특징으로 하는 반도체 소자의 제조 방법.

형구함 5

제 2 항에 있어서,

상기 BPSG층을 불활성 가스를 혼합한 가스를 사용하는 건식 식각 방법으로 전면 식각함을 특징으로 하는 반도체 소자의 제조 방법.

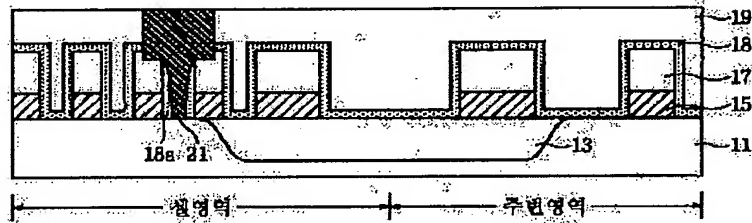
형구함 6

제 2 항에 있어서,

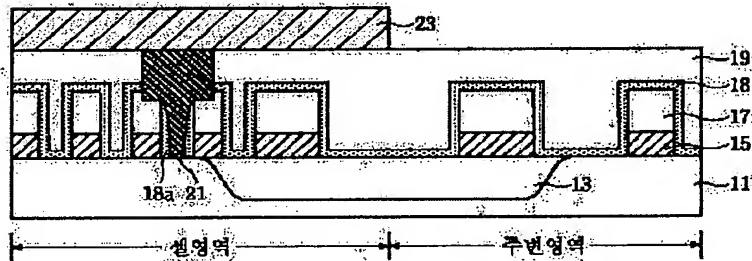
상기 주변 영역의 BPSG층을 HF:NHF_3 혼합 용액, $\text{HF:H}_2\text{O}$ 혼합 용액, HF:NHF_3 혼합 용액, 또는 $\text{HNO}_3:\text{CH}_3\text{COOH}:\text{HF}$ 혼합 용액을 사용한 습식 식각 공정으로 식각함을 특징으로 하는 반도체 소자의 제조 방법.

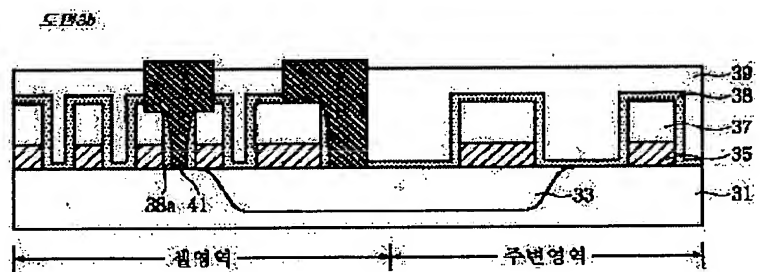
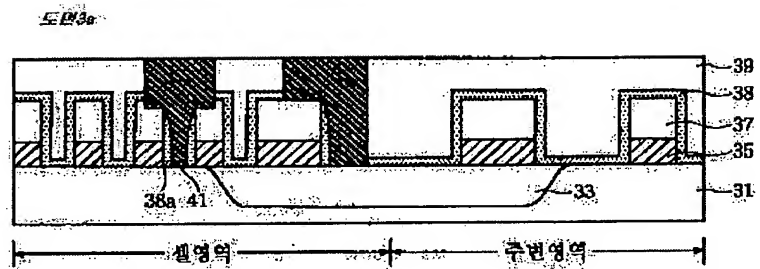
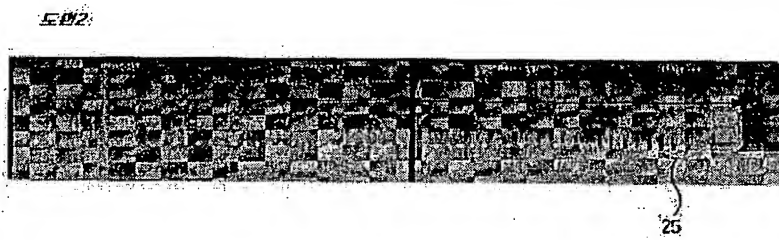
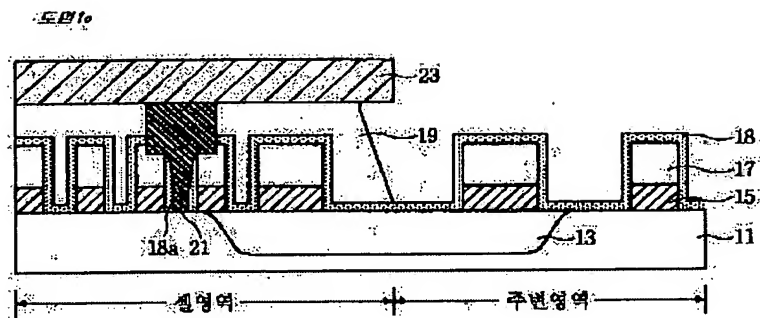
도면

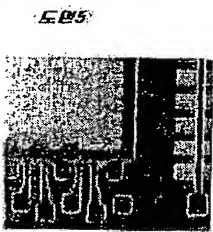
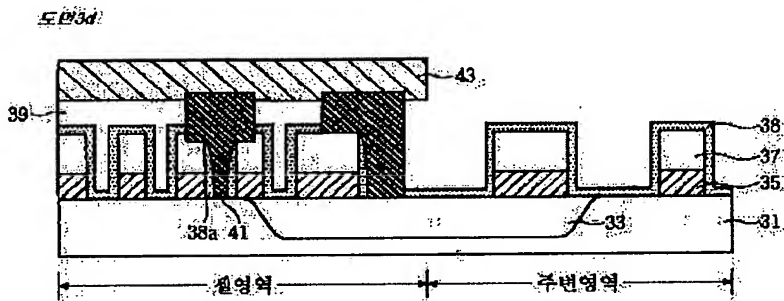
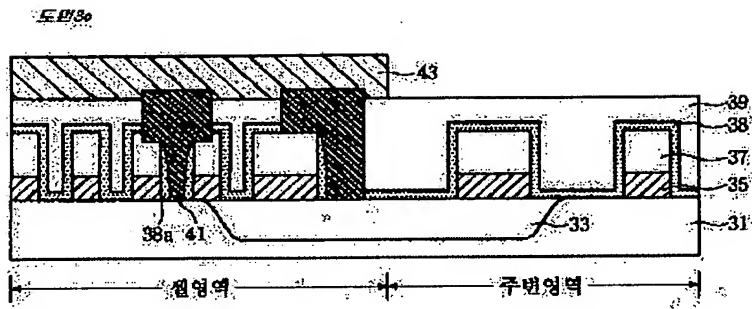
도면 1a



도면 1b







**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.